

基于子树重构的三维时钟树拓扑结构优化

钱 晨,王 琴,谢 憬,毛志刚
(上海交通大学 微纳电子学系,上海 200240)

摘 要: 传统的基于 TSV 的三维集成电路时钟树综合流程主要包括抽象拓扑树生成、层嵌入、布线和缓冲器插入。现有的三维时钟抽象拓扑树生成算法大多忽视了对由经典时钟拓扑树生成算法得到的抽象树结构的优化调整。对此提出了一种 3D 抽象拓扑树优化算法,能够调整特定子树的根节点位置从而优化抽象拓扑树结构。同时,将该优化算法整合到传统的时钟树综合流程中。仿真实验结果表明优化算法可以将三维集成电路时钟网络的总线长减小最多 4.56%,而时钟延迟最多可减少 14.67%。

关键词: 三维集成电路;三维时钟树综合;硅通孔;抽象拓扑树

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2016)05—0010—05

Clock Tree Topology Optimization Based on Reconstructing Subtree Topology for 3D ICs

QIAN Chen, WANG Qin, XIE Jing, MAO Zhi-gang

(Department of Microelectronics and Nanoscience, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: The traditional TSV-based 3D clock tree synthesis (3D CTS) flow mainly concludes abstract topology generation, embedding, routing and buffering. The classic 3D clock tree abstract topology generation algorithms ignore the adjustment for the generated topology after the first step. In this paper, we propose a clock tree topology optimization algorithm, the LMOR algorithm, for reconstructing the structure of some specific subtrees in the generated 3D clock tree abstract topology and relocating the position of the roots of these subtrees. The simulation results show that the total wirelength and delay can be reduced by up to 4.56% and 14.67%.

Key words: 3D-IC; 3D Clock Tree Synthesis (3D CTS); TSV (Through-silicon via); abstract topology tree

1 引言

近年来,随着 CMOS 工艺不断发展,基于硅通孔(Through-Silicon Via, TSV)的三维集成电路(3D Integrated Circuits, 3D IC)技术被认为是下一代集成电路的关键技术^[1]。在三维时钟信号网络中,时钟信号通过 TSV 的连接实现其在垂直于水平方向上的传播,从而将时钟信号传递到各个晶元层上。时钟信号网络从时钟信号源出发,通过晶圆层上的连线或者晶圆层间的 TSV 连接,形成一棵完整的时钟树。时钟信号源所在的位置就是时钟树根节点的位置^[2-4]。建立一棵三维时钟树需要考虑 TSV 数量、

时钟信号网络总线长、时钟漂移、时钟延迟、缓冲器数量和时钟信号网络功耗等时钟性能指标^[5]。

近几年来,很多研究围绕三维集成电路时钟树综合展开(3D Clock Tree Synthesis, 3D CTS)。这些研究包括零漂移时钟网络设计^[4]、时钟树综合流程优化^[5],以及时钟网络低功耗与稳定性设计^[6]。而三维时钟抽象拓扑树的建立算法目前有 3D-MMM (Method of Means and Medians) 算法^[2]、MMM-3D 算法^[3]和 NNG (Nearest Neighbor Graph) -3D 算法^[5]三种主要的生成算法。

目前有关三维时钟抽象拓扑树的研究都没有考虑生成的拓扑树内节点位置的优化。本文将主要考

虑对于生成的抽象拓扑树的结构优化,并将得到的优化算法与现有的时钟树综合流程相结合.本文的主要贡献体现在以下三个方面:

(1)提出了一种用于优化时钟抽象拓扑树的 LMOR (Leaves Merging Order Resorting) 算法,通过调整抽象拓扑树中特定的子树根节点位置来获得更优的抽象拓扑树结构;

(2)将 LMOR 算法与传统的 3D CTS 流程结合,实现一个完整的 3D CTS 流程;

(3)将结合了优化算法的时钟树综合流程在 IBM r1~r6 的测试平台上实验,通过实验结果来证明 LMOR 算法的优越性.

2 三维集成电路时钟树综合与优化

2.1 三维时钟树综合问题建模

本文采用经典的分布式 RC 网络来对时钟信号网络建模,三维集成电路中的各个时序逻辑单元作为整个分布式 RC 网络的电容负载.时序逻辑单元之间的连线用经典的 π 模型进行电学建模,用作驱动的缓冲器使用两个反相器相连.

用集合 $\{S = s_1, s_2, \dots, s_n\}$ 来表示三维集成电路中的所有时序逻辑单元集合, S 中的各个元素的几何位置在时钟树综合前已经确定.因此,三维时钟树综合可以进行如下建模:给定一个时序逻辑单元集合和集合中元素的几何位置,一个预先已经确定的时钟信号源位置,同时也给定了 RC 网络中的线载模型,缓冲器参数和 TSV 的电学参数,根据集合 S 中的各个时序逻辑单元的几何位置生成一棵时钟抽象拓扑树 $G(s)$,再根据时钟树的时序性质完成层嵌入 TSV、零漂移布线 and 插入缓冲器操作后得到最终的时钟树结构 $T(s)$, $T(s)$ 在零漂移的前提下应该尽量减小时钟网络的总的线长、TSV 数量、时钟信号网络功耗和时钟延迟.

根据上述的问题建模方法,我们把三维时钟树综合分为三个步骤:(1)3D 抽象拓扑时钟树生成;(2)节点分层与 TSV 层嵌入;(3)零漂移布线和缓冲器插入.

2.2 3D 抽象拓扑时钟树生成

3D 抽象拓扑时钟树的生成是整个三维时钟树综合流程中的第一步.生成一棵结构合理的抽象拓扑树对时钟树综合流程中后续步骤和时钟树性能有重要影响.3D-MMM 算法和 MMM-3D 算法是对 Jackson 在 1990 年提出的 2D-MMM 算法^[7]拓展到三维得到的,本质是自顶向下的划分思想.两种算法分别根据平面几何重心和数量重心的划分原则,递

归划分时序逻辑单元集合,直到集合内只包含一个元素.同时,MMM 算法在划分时序逻辑单元集合时,根据所给出的 TSV 数量阈值来决定水平划分和垂直划分方向的选取^[2-3].而 NNG-3D 则是一种自底向上的算法,是由二维聚类合并的拓扑树生成算法发展而来^[8],根据时序逻辑单元的聚类性质递归合并单独的时序逻辑单元,直到所有的时序逻辑单元合并到一个集合中.

本文在传统的 NNG-3D 拓扑树生成算法^[5]基础上,把影响三维时钟树的线长、TSV 数目以及节点负载电容考虑到相邻节点的合并成本中,式(1)定义了算法中所采用的合并成本公式.

$$\text{Cost}(x, y) = w_{\text{wire}}(\text{len}_x + \text{len}_y) + w_{\text{TSV}} | \text{die}_x - \text{die}_y | + w_{\text{cap}}(C_x + C_y) \quad (1)$$

权重值 W_{wire} , W_{TSV} , W_{cap} 都是根据经典的 Elmore 电学模型^[4]计算得到.在 NNG-3D 算法的递归合并过程中,根据式(1)依次加权计算相邻两节点对的曼哈顿距离、TSV 连接数量和负载电容,遍历计算相邻节点的合并成本,并选择具有最小合并成本的最近邻节点对进行合并,从而完成 3D 抽象拓扑树的生成.因为是递归遍历整个节点集合中的节点对来寻找合并成本最低的最近邻节点对,所以 NNG-3D 算法的时间复杂度为 $O(n^2 \log n)$ ^[5].

2.3 LMOR 拓扑树优化算法

在上述 NNG-3D 算法生成的拓扑结构树中,因为考虑到零漂移特性,父节点的合并顺序受到其子节点的影响,并不一定是最优的合并顺序.如果能在不改变零漂移的情况下,对这些父节点重新选取更为合理的合并顺序,将达到优化拓扑结构的目的.从这个角度出发,本文提出了一种对生成的抽象拓扑树的优化算法,算法遍历生成的抽象拓扑树中所有具有特定叶子数的子树,在不改变零漂移性质的前提下,根据合并成本最优的原则重新确定这些子树的根节点的位置从而得到一棵性能更优的抽象拓扑树.具体的算法过程将在下面介绍.

假定一个正整数值 m (通常 $4 \leq m \leq 6$).对于 NNG-3D 算法生成的抽象拓扑树中的节点 x , T_x 是以 x 为根节点的一棵子树,并且子树 T_x 的叶子节点数为 m ,显然 T_x 中最多将包含 $2m-1$ 个节点.集合 N_x 是 T_x 中所有叶子节点的集合.需要说明的是, N_x 中的子树的叶子节点在整棵抽象拓扑树 $G(s)$ 中并不一定也是叶子节点.

首先对于集合 N_x 中的所有叶子节点重新遍历其所有的合并顺序,对于每种合并顺序都根据式(1)

计算总的合并成本,通过排序找到总合并成本最低的合并顺序,根据合并成本最低的合并顺序来重新确定子树根节点的位置. 这个抽象拓扑结构树优化算法的伪代码如下所示.

```
//LMOR 算法
// 优抽象钟拓扑树结构
输入: MNG-3D 生成的时钟抽象拓扑树  $G(s)$ ; 常数  $m$ ,
 $4 \leq m \leq 6$ 
输出: 优化过的拓扑树结构  $G(s)$ 
1  define the value of  $m$ ;
2  While(subtree reconstructed){
3    fine  $m$ -leaves subtree set  $subT(m)$ 
4    for each  $T_x \in subT(m)$ ,  $x$  is the root of  $T_x$  {
5      traverse merging order for all leaves  $N_x$  in  $T_x$ ;
6      calculate merging cost for each order of  $N_x$ ;
7      sort and find the best merging cost order;
8      jump this sunbtree loop: // No subtree will be reconstructed
9    else
10     reconstruct the subtree  $T_x'$  with the best merging order;
11  }
12 }
13 regenerate the tree topology  $G'(s)$ 
```

由于集合 N_x 中的所有节点的位置、负载电容和延迟都没有改变,仅仅是根节点 x 的位置发生了变化. 同时,该优化算法是自底向上实现的并且递归遍历了所有满足条件的子树,所以本文提出的优化算法并没有改变整棵抽象拓扑树的零漂移性质.

m 值的选取不能过大也不能过小,太小的 m 值得到的子树遍历所有合并顺序的组合较少,原先的合并顺序很可能就是最优的合并顺序,对于拓扑抽象树没有优化. 太大的 m 值的子树数量不多,并且遍历成本高,对抽象拓扑树的优化效率不高. 所以本文通常选取的值为 $4 \leq m \leq b$.

优化算法不断执行直到没有符合条件的子树根节点位置发生变化. 对于符合条件的特定子树,优化算法的执行时间是常数 m 的指数函数. 因此,对于一棵包含 n 个节点的抽象拓扑树结构,本文提出的优化算法的时间复杂度为 $O(n)$. 由于优化算法的核心是对特定叶子数的子树的叶子节点进行合并成本的重排序,因此本文将这个优化算法称为 LMOR (Leaves Merging Order Resorting) 算法.

2. 4 完整的时钟树综合流程

在本文所研究的时钟树综合流程中,采用经典的

NNG-3D 算法^[5]生成了三维时钟抽象拓扑树结构. 利用上一小节中介绍的 LMOR 算法对生成的拓扑树结构的部分节点位置重置,从而优化拓扑树结构.

三维时钟树综合接下来的两个步骤中,为了使得层嵌入过程中使用尽量少的 TSV 数量来减少时钟树成本,本文利用了 3D-DLE (Deferred Layer Embedding) 算法^[3]来实现最少数量的 TSV 的插入. 在二维时钟树综合中,DME (Deferred Merge Embedding) 算法^[4]被用来实现零漂移布线,将二维 DME 算法拓展到三维,利用 3D-DME 算法来实现时钟树的零漂移布线和缓冲器插入. 图 1 是结合本文所提出的 LMOR 优化算法后得到的三维时钟树综合的流程图.

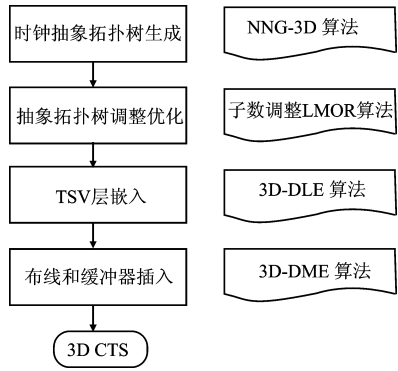


图 1 三维时钟树综合流程图

3 实验结果

对本文所提出的三维时钟树综合流程所提到的算法进行了实验仿真,包括 NNG-3D 算法,3D-DLE 算法,3D-DME 算法以及本文提出的 LMOR 算法. 在 MATLAB R2014b 的实验环境下进行时钟树综合的实验仿真,实验结果包括时钟信号网络的总线长、时钟延迟、TSV 数量. 实验中所采用的技术参数根据 45 nm Predictive Technology Model 中给出的数据,其中单位线长的电容值为 $0.2 \text{ fF}/\mu\text{m}$,单位线长的电阻值为 $0.1 \text{ }\Omega/\mu\text{m}$. TSV 的电阻大小为 $35 \text{ m}\Omega$,缓冲器的驱动电阻为 $122 \text{ }\Omega$,输入电容为 24 fF ,寄生延迟为 17 ps .

实验中,基于 Elmore Delay Model^[4]使用 IBM $r_1 \sim r_6$ benchmarks. 由于这些测试平台是基于二维集成电路设计的,随机将测试平台中的时序逻辑单元分配到两个晶圆层上,并且将每个晶圆层的尺寸缩小为原晶圆层的 $\sqrt{2}/2$,这样能保证两层晶圆的三维结构与原先的二维结构在总面积上一致. 同时,为了便于实验进行,假设时钟边沿翻转时间 (clock

slew)为 0.

表 1 中列出了 $r_1 \sim r_5$ 测试平台在 $m=6$ 的参数设定下,只采用传统的 NNG-3D 算法的时钟树综合和经过本文提出的 LMOR 算法优化后的时钟树综合的仿真结果.表 1 中的数据包括了总的连线长度、

表 1 $r_1 \sim r_5$ 3D CTS 仿真结果数据

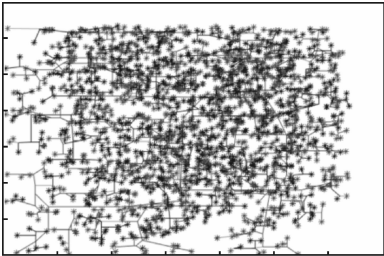
测试平台	sinks	传统 CTS			使用优化算法($m=6$)			优化比例	
		线长	延迟/ns	# TSV	线长	延迟/ns	# TSV	线长/%	延迟/%
r_1	267	1 479 683	1.35	33	1 463 311	1.20	33	1.11	11.1
r_2	598	2 934 521	4.62	71	2 831 312	4.60	71	3.52	0.43
r_3	862	3 806 720	4.94	74	3 633 323	4.82	74	4.56	2.42
r_4	1 903	7 964 740	14.23	133	7 619 441	13.79	133	4.34	3.1
r_5	3 101	1 192 2751	29.11	181	1 1518 186	24.84	181	3.39	14.67

表 2 列出了测试平台 r_3 在不同 m 值的情况下的仿真结果.可以看到总的连线长度、时钟延迟在三种 m 值下呈现出随机性.这样的结果说明 LMOR 算法的优化效果取决于 NNG-3D 算法生成的抽象拓扑树中的特定叶子节点数子树的数量,满足条件的子树数量越多,则优化效果越好.

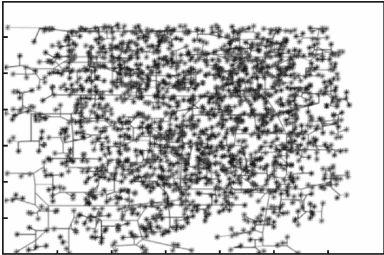
表 2 r_3 在不同 m 值时连线长度和时钟延迟结果

r_3	线长	延迟/ns
$m=4$	3 791 927	4.94
$m=5$	3 875 013	5.61
$m=6$	3 633 323	4.82

图 2 中给出了在测试平台 r_4 上的实际布线结果,图 2(a)、(b)中分别给出了使用 LMOR 算法前后的布线情况.可以观察到 LMOR 算法改变了部分节点的位置,而这些节点位置的改变使得总的连线长度显著减小.



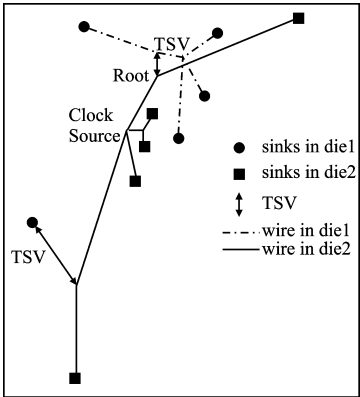
(a)线长=7 964 740



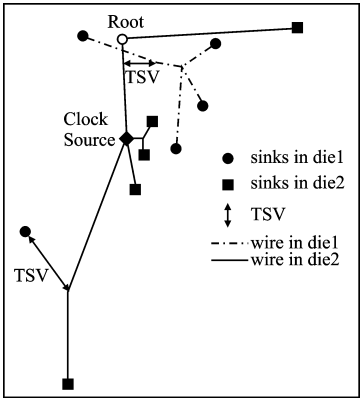
(a)线长=7 964 740

图 2 r_4 使用 LMOR 算法前后的零漂移布线结果图

时钟延迟以及 TSV 数量等时钟树的关键信息.实验结果表明,在利用 LMOR 算法优化后总的时钟树连线长度能够减小 1.11%~4.56%,而时钟延迟最多减小 14.67%.并且可以看到,随着时序逻辑单元数目的增加,LMOR 算法的优化效果也更加明显.



(a)线长=78 141



(b)线长=76 359

图 3 r_6 使用 LMOR 算法前后的零漂移布线结果图

图 3 是根据测试平台 r_6 上的布线结果抽象出的时钟树结构图.图 3(a)、(b)分别给出了使用 LMOR 算法前后的布线情况. r_6 测试平台是一个只包含 10 个时序逻辑单元的样例测试平台,可以比较容易地观察到 LMOR 算法对时钟树结构的优化效果.对比图 3(a)、(b),在预先设定 $m=6$ 情况下,包含有 6 个叶子节点的子树的叶子对合并顺序发生了变化,导致了根节点(图中标记为 Root 处)的位置发生了变化,也改变了一根 TSV 的连接位置.从零

漂移布线的线长结果显示,时钟抽象拓扑树结构的改变减小了总的连线长度。

4 结束语

本文提出了一种对三维抽象拓扑时钟树结构优化的 LMOR 算法,通过调整特定子树根节点的位置得到一棵结构更优的拓扑树。实验结果表明 LMOR 优化算法能够将总的连线长度和时钟延迟分别最多减小 4.56% 和 14.67%,而时钟树的零漂移性质并没有改变。

参考文献:

- [1] Pan X, Xie J, Wang Q, et al. Noise aware clock tree synthesis for 3D ICs[C]// Solid-State and Integrated Circuit Technology (ICSICT), 2014 12th IEEE International Conference on. China, Guilin, IEEE, 2014; 1-3.
- [2] Minz J, Zhao X, Lim S K. Buffered clock tree synthesis for 3D ICs under thermal variations[C]// Proceedings of the 2008 Asia and South Pacific Design Automation Conference. Soul, IEEE Computer Society Press, 2008; 504-509.
- [3] Kim T Y, Kim T. Clock tree embedding for 3D ICs [C]// Design Automation Conference (ASP-DAC), 2010 15th Asia and South Pacific. Taiwan, Taipei, IEEE, 2010; 486-491.
- [4] Zhao X, Lim S K. Power and slew-aware clock network design for through-silicon-via (TSV) based 3D ICs[C]// Proceedings of the 2010 Asia and South Pacific Design Automation Conference. Macao, IEEE

Press, 2010; 175-180.

- [5] Kim T Y, Kim T. Clock tree synthesis for TSV-based 3D IC designs [J]. ACM Transactions on Design Automation of Electronic Systems (TODAES), 2011, 16 (4): 11-21.
- [6] Zhao X, Minz J, Lim S K. Low-power and reliable clock network design for through-silicon via (TSV) based 3D ICs [J]. Components, Packaging and Manufacturing Technology, 2011, 1(2): 247-259.
- [7] Jackson M A B, Srinivasan A, Kuh E S. Clock routing for high-performance ICs[C]// Design Automation Conference, 1990. Proceedings. 27th ACM/IEEE. USA, California, IEEE, 1990; 573-579.
- [8] Edahiro M. A clustering-based optimization algorithm in zero-skew routings[C]// Proceedings of the 30th international Design Automation Conference. New York, ACM, 1993; 612-616.

作者简介:

钱 晨 男,(1990-),硕士.研究方向为大规模集成电路设计. E-mail:qianchenorange@gmail.com.

王 琴 女,(1975-),博士,副教授.研究方向为大规模集成电路设计、片上处理器体系结构、先进集成电路设计方法。

谢 憬 男,(1981-),助理研究员.研究方向为大规模集成电路设计、片上处理器体系结构、先进集成电路设计方法。

毛志刚 男,(1962-),博士,教授,博士生导师.研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等。

(上接第 9 页)

- [6] Ratanpal G B, Williams R D, Blalock T N. An on-chip signal suppression countermeasure to power analysis attacks[J]. IEEE Trans. Depend. Secure Comput, 2004,1(3):179-189.
- [7] Tiri K, Hwang D, Hodjat A, et al. A side-channel leakage free coprocessor IC in 0.18 μ m cmos for embedded AES-based cryptographic and biometric processing [C] // Proc. IEEE/ACM Design Automa. Conf. New York, 2005;222-227.
- [8] Coron J S, Kizhvato I. An efficient method for random delay generation in embedded software[C]// CHES 2009, LNCS. Switzerland, Lausanne, 2009;156-170.
- [9] 贺章擎,敖天勇,刘恺,等. 基于随机指令注入的抗旁

路攻击硬件防护技术[J]. 华中科技大学学报(自然科学版),2014,42(5):128-132.

- [10] Clavier C, Coron J S, Dabbous N. Differential power analysis in the presence of hardware countermeasures [C] // Cryptographic Hardware and Embedded Systems-CHES2000. Berlin, Heidelberg, Springer, 2000.

作者简介:

李 红 女,(1981-),博士研究生,讲师.研究方向为计算机系统结构. E-mail:lilyhong420@126.com.

贺章擎 男,(1980-),博士,副教授.研究方向为信息安全与集成电路设计。

徐元中 男,(1974-),副教授.研究方向为嵌入式系统设计。